

◀◀1. レイアウト設計

パフォーマンスドリブン・レイアウト手法

白石 洋一*, 金杉 昭徳**

Performance-Driven Layout Algorithms

Yoichi SHIRAIISHI* and Akinori KANASUGI**

*群馬大学工学部 (〒376-8515 群馬県桐生市天神町1-5-1)

**埼玉大学工学部 (〒338-8570 埼玉県さいたま市下大久保255)

*Faculty of Engineering, Gunma University (1-5-1 Tenjin-cho, Kiryu-shi, Gunma 376-8515)

**Faculty of Engineering, Saitama University (255 Shimo-Okubo, Saitama-shi, Saitama 338-8570)

1. はじめに

プリント配線板と集積回路のレイアウト手法には共通する部分が多い。幾何的な問題設定では両者は相似であると見なせるが、問題規模、電気的特性の取り扱い、など、相異なる部分も多い。またそれぞれ他方よりも進んでいる手法もある。さらに今後は集積回路とプリント配線板を含めた設計の最適化も必要になると予想される。このため、相互に問題と研究状況を認識し、両方を視野においた手法を検討することが望ましい。本稿では集積回路におけるパフォーマンスドリブン・レイアウト手法の研究状況をまとめる。

従来、レイアウト処理は「レイアウト生成 (Synthesis)」と呼ばれ、問題を組み合わせ最適化問題として定式化し、その解を求めればよかった。しかしDSM(Deep Sub Micron), UDSM(Ultra DSM)時代に入り、レイアウト結果の電気的特性が重視されるようになった¹⁾。電気的特性の評価は、実負荷を含めたレイアウトパターンの性能をシミュレーションによって確認することになる。したがってパフォーマンスドリブンレイアウト問題においては、(1)シミュレーション対象を自動生成する(従来のレイアウト生成)、(2)その電気的特性を確認する(シミュレーション)、の処理からなると認識して、そのための手法を開発することが重要である。

以下では、まずパフォーマンスドリブン・レイアウト問題に関する研究全体の流れを述べる。その後、個々の問題と、この数年間に提案されて来た手法の概要を示す。現在この分野の研究においては、非常に多岐にわたるさまざまな問題とその解法が提案されており、決定的な手法を模索している状況であると言える。

2. パフォーマンスドリブン・レイアウト問題

パフォーマンスドリブン・レイアウト問題とは、電気的特性最適化を優先するレイアウト問題を示す。集積回路の

動作周波数増大、集積度増大、製造プロセス微細化、チップサイズ縮小、の状況下では、単に部品を配置し、部品間を配線しただけではレイアウト後の集積回路の動作を保証することが困難になってきた。そのため、電気的特性を優先する必要性からパフォーマンスドリブン・レイアウトが必須となってきた。実際、レイアウト処理においては、1985年頃から信号伝播ディレイ最小化が行われ始め、その後クロック論理最適化が、1990年代になると消費電力最適化が、そして現在までに信号・電源ノイズ最適化、発熱、EMI(Electromagnetic Interference)、信頼性向上 (Electromigration) 対策が考慮されるようになってきた。これらの技術を支えるためには回路シミュレータに相当する処理が必須である。

しかし、レイアウト処理中にSPICEのような厳密な回路シミュレータを組み込むことは事実上不可能である。そのためにレイアウト処理途中の状態から、または最終レイアウト結果から電気的特性を計算するための技術も並行して提案されてきている。特にDSM, UDSM時代ではゲートの電気的特性はある程度正確に推定できるのに対して、配線に起因する電気的特性は周囲の状況が確定して初めて推定できる。この理由より、上に述べたパフォーマンスドリブン・レイアウト問題を特に配線 (Interconnect) 問題と呼ぶ。実際、DSMにおいては、80%以上のクリティカルパスの信号伝播ディレイが配線問題に関係していると言われている¹⁾。レイアウト手法自体には大きな変化はないが²⁾、レイアウト処理中に相反する複数の電気的特性を同時に最適化しなければならない。したがって、(1)多目的同時最適化の取り扱い、(2)電気的特性推定、(3)レイアウト結果変更による電気的特性最適化、の3点が現在研究の中心である。

一方、論理設計、レイアウト設計それぞれに閉じていては電気的特性最適化が不十分であることから、論理設計とレイアウト設計までを一連の処理と考えると問題の最適化を行う手法についてもさまざまな研究がなされている³⁾⁻⁵⁾。

3. パフォーマンスドリブン・レイアウト手法

本章では特に配線問題に関する研究状況を述べる。研究は多岐にわたるため、個々の手法の詳細よりも注目すべき手法を時系列的に示し、現在までの研究の流れを示す。手法の詳細についてはそれぞれの文献を参照されたい。

3.1 多目的同時最適化

2章で示した複数の相反する要素からなる目的関数を同時に最適化することが必要になる。従来、複数の要素からなる目的関数の線形結合を作成し、これを単一目的関数に変換して取り扱っていた。しかし次元とスケールが異なる値の線形結合は意味的に不適切である、各要素に与える重みの決定が困難である、との理由により、複数の目的をそのまま取り扱う多目的同時最適化が適用されている。例えば多目的関数をベクトルで表現し、ベクトル間のランク付けを行う最適化手法が提案され実用化されてきた⁶⁾。さらに目的関数だけの変更に留まらず、発見的手法中に巧妙に組み込んで各目的関数を最適化する手法も試みられている⁷⁻⁹⁾。

3.2 電気的特性推定

回路の電気的特性は回路シミュレータにより解析、検証することが一般的である。回路シミュレーションを実行しつつ、実負荷も含めた正確な電気的特性をもとにレイアウト処理を行うことが究極である。しかしこれは現実的ではない。実負荷回路シミュレーションは膨大な計算資源を必要とする。したがって精度と実行時間のトレードオフのもとで電気的特性を推定する必要がある。現在一般的に用いられている手法はElmoreのモデル¹⁰⁾によってRCに起因するダイレイを推定する手法である。これはクロックツリーレイアウトにおけるゼロスキュー配線径路を求める¹¹⁾際に使用されて以来、さまざまな処理で用いられている。Elmoreのモデルによるダイレイ計算結果は必ずしも高精度とは言えない。しかし、実際にそれを組み込んで得られたレイアウト結果は、回路シミュレータによって得られたレイアウト結果に近い。現在、ElmoreのモデルをRLCまで考慮できるような拡張¹²⁾、より推定精度が高いAWEモデル^{13,14)}の実用化に関する研究が推進されている。

クロストークは電気的特性に大きな影響を及ぼし、配線径路が決定されて初めて正確な解析が可能となる。クロストークを正確に推定するためにさまざまなモデルが提案されている。これはaggressorネットがvictimネットに対してクロストークに起因する影響をどの程度与えるかを解析することを目的としている¹⁵⁻¹⁹⁾。

クロストークとゲートの機能に注目してダイレイ計算を効率的に実行する手法の研究は、組み合わせ回路に対するHitchcockの研究²⁰⁾に始まる。その後、順序回路への適用²¹⁾、精度向上と処理の高速化²²⁾に関する研究が続く。また、偽パスを考慮するタイミング解析（機能的タイミング解析）²³⁾に関する研究も行われている。

ノイズ解析モデルの提案はZurada²⁴⁾に始まる。これはモデリングとダイレイ解析に非常に大きく関連する。配線によるノイズの伝搬^{25,26)}、電源に対するノイズの影響に関するモデリング解析²⁷⁻²⁹⁾が行われている。

3.3 配置配線アルゴリズム中での電気的特性最適化

配置配線アルゴリズムにおいて電気的特性を最適化する試みは、まず配置アルゴリズムにおいて行われた^{30,31)}。あらかじめ信号伝播ダイレイを計算してクリティカルパスを求め、クリティカルパスの仮想配線長に重みを与えて優先的にそれを制御する手法である。また配線処理では、まずクリティカルパスの配線を完了し、その後、それら以外の配線を行う手法であった。このアプローチに対してはその後改良がなされてきた。また最近では、電気的特性推定精度の向上、部品の選択、再配置、部品サイジング、コピーなどの調整を行う手法が提案されている^{32,33)}。

概略配線処理においては、配線径路を一度決定してからクロストークを考慮する手法³⁴⁾、配線径路を決定しつつクロストークを考慮する手法³⁵⁾が提案されている。配線処理では、配線径路を決定して初めて実際のクロストークが計算可能となるため、クロストーク推定と径路の最適化の調整が問題である。

詳細配線処理では、クロストークの影響を最小化するために並行配線長を最小化する手法が提案されている。net spacing法^{36,37)}、track permutation法³⁸⁾、track assignment法³⁹⁾などである。配線全体を同時に考慮できることから、チャンネル配線法²⁾をベースとする手法が多数である。

3.4 レイアウト結果変更による電気的特性最適化

配線幅変更、バッファゲート挿入、ゲートサイジングが一般的である。もちろん電気的特性に基づく配線径路の変更は言うまでもない。バッファゲート挿入を取り扱った手法はGinneken⁷⁾に始まる。バッファゲートの挿入が他に大きな影響を及ぼすことが少ないフロアプランレベル、すなわちブロック間配線を変更する。バッファ挿入と概略配線径路決定を同時に行う手法⁴⁰⁾、バッファの配置があらかじめ固定された条件のもとでバッファ挿入、多ピンネットに対して配線ツリーを構成する手法が提案されている⁴¹⁾。また、迷路法をベースにバッファ挿入と配線幅変更とを同時に行う問題が定式化され、アルゴリズムが提案されている⁴²⁾。

3.5 消費電力、電源ノイズ、発熱、EMI

レイアウト結果の消費電力を決定する最大の要因は回路を駆動する電源電圧である。これを最適化するためにレイアウト領域に複数種類の電源を埋め込み、部品が必要とする電源を木目細かく選択する手法が提案されている⁴³⁾。配線負荷による消費電力設計は、現在、高位合成において考慮されている段階⁴⁴⁾で、レイアウト処理における考慮は今後の課題である。電源に起因するノイズを寄生インダクタンスまで含めて解析して最適化する手法が提案され、実験的に実用レベルの結果を報告している⁴⁵⁾。集積回路にお

るEMIに対してはその解析が開始された段階で⁴⁶⁾、レイアウト処理中にこれを最適化する手法の報告は今のところ見当たらない。今後の研究課題と考えられる。発熱の問題はチップサイズ縮小と集積回路増大に伴って非常に深刻である。集積回路における発熱を解析する手法が提案され、設計のガイドラインを与えることを目的としている⁴⁷⁾⁴⁸⁾。さらにレイアウト領域中にホットスポットを発生させないように部品を配置する手法が提案され、実用的な結果を得ている⁴⁹⁾。

4. おわりに

本稿では最近のパフォーマンスドリブン・レイアウト手法の動向を述べた。すなわち、レイアウト処理において信号伝播遅延、信号・電源ノイズ最適化、発熱、EMI(Electromagnetic Interference)、信頼性向上をどのように行うかと言う配線問題である。特に中心となるのは(1)多目的同時最適化、(2)電気的特性推定、(3)レイアウト結果変更による電気的特性最適化、である。製造プロセスの急激な微細化と問題の大規模化、複雑化により、現在、これらのどれもが活発に研究が行われている状況で、いまだ決定的な手法が得られているとは言えない。

本稿で紹介した集積回路レベルの手法を発展させ、プリント配線板レベルのレイアウト手法、およびレイアウト条件を検討して両方を視野に入れた手法の開発が望まれる。

(2001.5.21-受理 2001.6.14-再受理)

文 献

- 1) Semiconductor Industry Association : "2000 International Technology Roadmap for Semiconductors", <http://public.itrs.net/>
- 2) 金杉昭徳 : "配置配線における各種アルゴリズムについて", エレクトロニクス実装学会誌, Vol.2, No.3, pp.184-187, 1999
- 3) Y.-M. Jian, et al. : "Post-Layout Logic Restructuring for Performance Optimization", Proc. DAC'95, pp.377-380, 1995
- 4) S.Sinha, et al. : "Implementation and Use of SPFDs in Optimizing Boolean Networks", Proc. ICCAD'98, pp.103-110, 1998
- 5) C.W. Chang, et al. : "Fast Post-Placement Rewiring Using Easily Detectable Functional Symmetries", Proc. DAC'00, pp.286-299, 2000
- 6) S.M.Sait, et al. : "Iterative Computer Algorithms with Applications in Engineering", IEEE CS Press, pp.352-355, 1999
- 7) L.P.P. van Ginneken : "Buffer Placement in Distributed RC-tree Networks for Minimal Elmore Delay", Proc. ISCAS'90, pp.97-100, 1990
- 8) J.Cong, et al. : "An Efficient Technique for Device and Interconnect Optimization in Deep Submicron Designs", ISPD'98, pp.45-51, 1998
- 9) J.Cong, et al. : "Performance Driven Multi-Level and Multiway Partitioning with Retiming", Proc. DAC'00, pp.441-446, 2000
- 10) W.C.Elmore : "The Transient Response of Damped Linear Networks", J. Appl. Phys., Vol.19, pp.55-63, Jan. 1948
- 11) R.S.Tsay : "An Exact Zero-Skew Clock Routing Algorithm", IEEE Trans. CAD/ICAS, Vol.12, No.2, pp.242-249, Feb., 1993
- 12) Y.I.Ismail, et al. : "Equivalent Elmore Delay for RLC Trees", IEEE Trans. CAD/ICAS, Vol.19, No.1, pp.83-97, Jan. 2000
- 13) L.T.Pillage, et al. : "Asymptotic Waveform Evaluation for Timing Analysis", IEEE Trans. CAD/ICAS, Vol.9, pp.352-366, April, 1990
- 14) J.Hu et al. : "FAR-DS: Full-Plane AWE Routing with Driver Sizing", Proc. DAC'99, pp.84-89, 1999
- 15) J.Qian, et al. : "Modeling the effective capacitance for the RC interconnect of CMOS gates", IEEE Trans. CAD/ICAS, pp.1526-1555, Dec., 1994
- 16) L.H.Chen, et al. : "Aggressor Alignment for Worst-Case Coupling Noise", Proc. ISPD'00, pp.48-54, April, 2000
- 17) L.Chang, et al. : "Simulating Frequency-Dependent Current Distribution for Inductance Modeling of On-Chip Copper Interconnects", Proc. ISPD'00, pp.117-120, April, 2000
- 18) K.Gala, et al. : "On-Chip Inductance Modeling and Analysis", Proc. DAC'00, pp.63-68, 2000
- 19) P.Chen et al. : "Towards True Crosstalk Noise Analysis", Proc. ICCAD'99, pp.132-138, 1999
- 20) R.Hitchcock : "Timing Verification and the Timing Analysis Program", Proc. DAC'82, pp.594-604, 1982
- 21) K.Sakalla, et al. : "Analysis and Design of Latch-Controlled Synchronous Circuits", Proc. DAC'89, pp.111-117, 1989
- 22) T.Szymanski, et al. : "Verifying Clock Schedules", Proc. ICCAD'92, pp.124-131, 1992
- 23) D.Brand, et al. : "Timing Analysis Using Functional Relationships", Proc. ICCAD'86, pp.126-129, 1986
- 24) J.M.Zurada, et al. : "Dynamic Noise Margins of MOS Logic Gates", Proc. ISCAS'89, pp.1153-1156, 1989
- 25) K.L.Shepard, et al. : "Global Harmony: Coupled Noise Analysis for Full-Chip RC Interconnect Networks", Proc. ICCAD'97, pp.139-146, 1997
- 26) R.Levy, et al. : "ClariNet: A Noise Analysis Tool for Deep Submicron Design", Proc. DAC'00, pp.233-238, 2000
- 27) H.H.Chen, et al. : "Interconnect and Circuit Modeling Techniques for Full Chip Power Supply Noise Analysis", IEEE Trnas. Compon. Package Manuf. Technol. B, Adv.

- Packag., Vol.21, pp.209-215, Aug., 1998
- 28) J.C.Shah, et al.: "An Algorithm for Simulating Power/Ground Networks Using Pade Approximations and its Symbolic Implementation", IEEE Trans. Circuits, Syst. II, Analog Digit. Signal Process, Vol.45, pp.137-182, Oct., 1998
- 29) J.M.Wang, et al.: "Extended Krylov Subspace Method for Reduced Order Analysis for Linear Circuits with Multiple Sources", Proc. DAC'00, pp.247-252, 2000
- 30) A.Dunlop, et al.: "Chip Layout Optimization Using Critical Path Weights", Proc. DAC'84, pp.133-136, 1984
- 31) Y.Ogawa, et al.: "Efficient Placement Algorithms Optimizing Delay for High-Speed ECL Masterslice LSI's", Proc. DAC'86, pp.404-410, 1986
- 32) I.Neumann, et al.: "Cell Replication and Redundancy Elimination During Placement for Cycle Time Optimization", Proc. ICCAD'99, pp.25-30, 1999
- 33) W.Chen, et al.: "Gate Sizing with Controlled Displacement", Proc. ISPD'99, pp.127-132, 1999
- 34) T.Xue, et al.: "Post Global Routing Crosstalk Risk Estimation and Reduction", Proc. ICCAD'96, pp.302-309, 1996
- 35) H.Zhou, et al.: "Global Routing with Crosstalk Constraints", Proc. DAC'98, pp.374-377, 1998
- 36) K.Chaudhary, et al.: "A Spacing Algorithm for Performance Enhancement and Crosstalk Reduction", Proc. ICCAD'93, pp.697-702, 1993
- 37) P.Saxena, et al.: "Crosstalk Minimization Using Wire Perturbations", Proc. DAC'99, pp.100-103, 1999
- 38) T.Gao, et al.: "Minimum Crosstalk Switchbox Routing", Proc. ICCAD'94, pp.610-615, 1994
- 39) D.A.Kirkpartick, et al.: "Techniques for Crosstalk Avoidance in the Physical Design of High Performance Digital Systems", Proc. ICCAD'94, pp.616-619, 1994
- 40) A.Jagannathan, et al.: "A Fast Algorithm for Context Aware Buffer Insertion", Proc. DAC'00, pp.368-373, 2000
- 41) J.Cong, et al.: "Routing Tree Construction under Fixed Buffer Locations", Proc. DAC'00, pp.379-384, 2000
- 42) M.Lai, et al.: "Maze Routing with Buffer Insertion and Wiresizing", Proc. DAC'00, pp.374-378, 2000
- 43) C.Yea, et al.: "Layout Techniques Supporting the Use of Dual Supply Voltages for Cell-Based Designs", Proc. DAC'99, pp.62-67, 1999
- 44) K.M.Buyuksahin, et al.: "High-Level Power Estimation with Interconnect Effects", Proc. ISLPED'00, pp.197-202, 2000
- 45) D.Blaauw, et al.: "On-Chip Inductance Modeling", Proc. GLS'00, pp.75-80, 2000
- 46) S.Hayashi, et al.: "EMI-Noise Analysis under ASIC Design Environment", Proc. ISPD'99, pp.16-21, 1999
- 47) K.Banerjee, et al.: "On Thermal Effects in Deep Sub-Micron VLSI Interconnects", Proc. DAC'99, pp.885-891, 1999
- 48) D.Chen, et al.: "Interconnect Thermal Modeling for Determining Design Limits on Current Density", Proc. ISPD'99, pp.172-178, 1999
- 49) C.H.Tsai et al.: "Standard Cell Placement for Even on-Chip Thermal Distribution", Proc. ISPD'99, pp.179-185, 1999

白石 洋一 (しらいし よういち)

昭和29年生まれ。昭和56年、東京工業大学大学院理工学研究科情報科学専攻修了。現在、群馬大学工学部情報工学科助教授。研究・教育に従事。



金杉 昭徳 (かなすぎ あきのり)

昭和35年生まれ。昭和60年、埼玉大学大学院工学研究科電子工学専攻修了。現在、埼玉大学工学部電気電子システム工学科助手。電子回路のCAD、アルゴリズムの研究等に従事。工学博士。

